

1) [6/40] Spiegare brevemente come avviene l'arbitraggio nel bus PCI.

2) [34/40] Si consideri una gerarchia di memoria composta da:

a) una cache di primo livello di dimensione 256B, a 2 vie di tipo write-back. La dimensione del blocco e' 64 byte, il tempo di accesso alla cache e' 2 ns, la politica di rimpiazzamento e' LRU;

b) una cache di secondo livello di dimensione 2048B, ad accesso diretto di tipo write-back. La dimensione del blocco e' 64 byte, il tempo di accesso alla cache e' 8 ns e la penalita' in caso di miss e' pari a 90 ns, la politica di rimpiazzamento e' LRU;

Il processore effettua i seguenti accessi in cache, ad indirizzi al byte:

22,71,65,90,143,81,57,133,61,190,10,12,10,15,98,75,64,259,130,67,70,25

Tali accessi sono alternativamente letture e scritture. Per la sequenza data, ricavare il tempo medio di accesso alla gerarchia cosi' composta e confrontarlo con quello che si otterrebbe con la stessa sequenza di accessi usando solo una cache come nel tipo (b), ma con tempo di accesso 10ns.