

**MODULO RETI LOGICHE:**

I SEGUENTI ESERCIZI VALGONO 50% DEL VOTO FINALE (40/80) PER GLI INFORMATICI (ARCHITETTURA 1) E (1 E 2) IL 33% DEL VOTO FINALE (20/60) PER GLI ALTRI (ARCHITETTURA 1A)

**Esercizio 1**

Una rete sequenziale con due ingressi  $x_1, x_2$  ed una uscita  $z$  funziona nel seguente modo.

Quando  $x_1$  passa da 0 ad 1 con  $x_2 = 0$  e poi passa da 1 a 0 con  $x_2 = 1$ , l'uscita passa da 0 ad 1 in corrispondenza del passaggio di  $x_2$  da 1 a 0, con  $x_1 = 0$ . L'uscita ritorna a 0 quando  $x_2$  passa da 0 ad 1 con  $x_1 = 0$ . In ogni altra situazione l'uscita rimane inalterata. Variazioni simultanee degli ingressi in nessun caso sono ammissibili ai fini del funzionamento richiesto della rete.

**Esercizio 2 (solo per Reti Logiche da 3 CFU)**

Date le funzioni

$$f_1 = \Sigma_4(0,1,2,3,4,5,10,11,12,13)$$

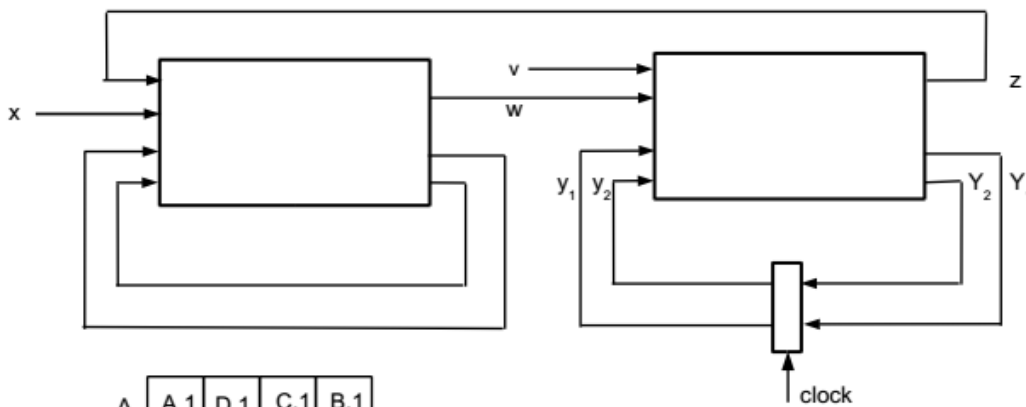
$$f_2 = \Sigma_4(2,3,8,10,11,12,13)$$

disegnare la rete globalmente ottima che le realizza e confrontarla con quella ottenuta sintetizzando in forma minima le due funzioni separatamente.

**Esercizio 3 (solo per Reti Logiche da 6 CFU)**

Una rete asincrona, di cui è nota la tabella di flusso, è collegata in ciclo ad una rete sincronizzata, come in figura.

Dire se, in relazione alla struttura delle due reti, la connessione è corretta oppure se devono esservi apportate modifiche per rendere l'intero sistema ben funzionante. Calcolare inoltre la massima frequenza alla quale può operare la rete sincronizzata, sapendo che il tempo di transizione da uno stato ad un altro della rete asincrona è pari a 3.4 ns e che il tempo di ritardo di una porta logica è pari a 1.2 ns.



A	A,1	D,1	C,1	B,1
B	C,2	D,2	B,1	C,1
C	D,0	C,1	D,1	C,0
D	A,1	C,1	D,1	B,1

$$Y_1 = v \oplus y_2 + w$$

$$Y_2 = \bar{v}w(y_1 + \bar{y}_2)$$

$$z = \bar{y}_2 v + \bar{y}_1 y_2 (v + \bar{w})$$

**MODULO CALCOLATORI ELETTRONICI:**

I SEGUENTI ESERCIZI VALGONO 50% DEL VOTO FINALE (40/80) PER ARCHITETTURA 1 E 66% DEL VOTO FINALE (40/60) PER ARCHITETTURA 1A. VALGONO 40/40 PER GLI ALTRI.

- [8] Si consideri una cache di dimensione 320B e a 5 vie di tipo write-back. La dimensione del blocco e' 64 byte, il tempo di accesso alla cache e' 4 ns e la penalita' in caso di miss e' pari a 40 ns, la politica di rimpiazzamento e' LRU. Il processore effettua i seguenti accessi in cache, ad indirizzi al byte: 727, 713, 463, 221, 640, 461, 915, 1724, 2722, 3741, 4716, 713, 716, 723, 8791, 4716, 2731, 3710, 5711, 718, 731, 721. Tali accessi sono alternativamente letture e scritture. Per la sequenza data, ricavare il tempo medio di accesso alla cache, riportare i tag contenuti in cache al termine e la lista dei blocchi (ovvero il loro indirizzo) via via eliminati durante il rimpiazzamento ed inoltre in corrispondenza di quale riferimento il blocco e' eliminato.
- [4] Rappresentare in single precision IEEE-754, il valore 589/3 arrotondato al valore piu' vicino.

3. [16] Trovare il codice assembly MIPS corrispondente del seguente programma (utilizzando solo e unicamente istruzioni dalla tabella sottostante), rispettando le convenzioni di utilizzazione dei registri dell'assembly MIPS (riportate in calce). In alternativa, si usi l'assembly x86 anzichè MIPS. Le funzioni non definite sono da considerare esterne al programma.

```
FILE1.c:
#define N 5

float x[N*N];
int spotf2(int n, float *a, int lda);

int main() {
    float *x;
    int i, j, k;
    x = (float*)sbrk(N * N * sizeof(float));
    initrandmat(x, N);
    spotf2(n, x, N);
}
```

```
FILE2.c:
#define A(i,j) a[(i)*lda+(j)]
int sscal(int n, float sa, float *sx)
{
    int i;
    for (i = 0; i < n; ++i) {
        sx[i] = sa * sx[i];
    }
}

int spotf2(int n, float* a, int lda)
{
    int j;
    float ajj;
    for (j = 0; j < n; ++j) {
        ajj = A(j, j) - sdot(j, &A(j, 0), lda, &A(j, 0), lda);
        ajj = sqrt(ajj);
        A(j, j) = ajj;
        if (j + 1 < n) {
            sgemv(j, n - j - 1, -1.0, &A(j + 1, 0),
                lda, &A(j, 0), 1.0, &A(j + 1, j));
            sscal(n - j - 1, 1.0 / ajj, &A(j + 1, j));
        }
    }
    return 0;
}
```

4. [8] Per la funzione spotf2 della domanda 3, calcolare il tempo di esecuzione nell'ipotesi di n=5, frequenza di clock pari a 1GHz e cicli necessari (processore senza pipeline) per eseguire le istruzioni: aritmetico-logiche-jump  $C_{ALJ}=1$ , per i branch  $C_B=3$ , per le load-store (anche floating point)  $C_{LS}=5$ , per le operazioni floating point  $C_{FP}=2$ ;
5. [4] Produrre la symbol table per il FILE1.c e per il FILE2.c del codice proposto nella domanda 3.

Instruction	Example	Meaning	Comments
add	add \$1,\$2,\$3	\$1 = \$2 + \$3	3 operands; exception possible
subtract	sub \$1,\$2,\$3	\$1 = \$2 - \$3	3 operands; exception possible
add immediate	addi \$1,\$2,100	\$1 = \$2 + 100	+ constant; exception possible
subtract immediate	subi \$1,\$2,100	\$1 = \$2 - 100	- constant; exception possible
Multiplication	mult \$1, \$2	Hi,Lo= \$1 x \$2	64-bit Signed Product ; result in Hi,Lo
Division	div \$1, \$2	Hi= \$1 % \$2, Lo = \$1 / \$2	Signed division
move from Hi	mfhi \$1	\$1 = Hi	Create copy of Hi
move from Lo	mflo \$1	\$1 = Lo	Create copy of Lo
and	and \$1,\$2,\$3	\$1 = \$2 & \$3	3 register operands; Logical AND
or	or \$1,\$2,\$3	\$1 = \$2   \$3	3 register operands; Logical OR
nor	nor \$1,\$2,\$3	\$1 = !(\$2   \$3)	3 register operands; Logical NOR
xor	xor \$1,\$2,\$3	\$1 = \$2 ^ \$3	3 register operands; Logical XOR
and immediate	andi \$1,\$2,100	\$1 = \$2 & 100	Logical AND register, constant
or immediate	ori \$1,\$2,100	\$1 = \$2   100	Logical OR register, constant
xor immediate	xori \$1,\$2,100	\$1 = \$2 ^ 100	Logical XOR register, constant
shift left logical	sll \$1,\$2,10	\$1 = \$2 << 10	Shift left by constant
shift right logical	srl \$1,\$2,10	\$1 = \$2 >> 10	Shift right by constant
load word	lw \$1,100(\$2)	\$1 = Memory[\$2+100]	Data from memory to register
load byte	lb \$1,100(\$2)	\$1 = Memory[\$2+100]	Data from memory to register
load byte unsigned	lbu \$1,100(\$2)	\$1 = Memory[\$2+100]	Data from mem. to reg.; no sign extension
store word	sw \$1,100(\$2)	Memory[\$2+100] = \$1	Data from register to memory
store byte	sb \$1,100(\$2)	Memory[\$2+100] = \$1	Data from register to memory
load address	la \$1,var	\$1 = &var	Load variable address
branch unconditional	b 100	go to PC+4+100	PC relative branch
branch on equal	beq \$1,\$2,100	if (\$1 == \$2) go to PC+4+100	Equal test; PC relative branch
branch on not equal	bne \$1,\$2,100	if (\$1 != \$2) go to PC+4+100	Not equal test; PC relative
set on less than	slt \$1,\$2,\$3	if (\$2 < \$3) \$1 = 1; else \$1 = 0	Compare less than; 2's complement
set on less than immediate	slti \$1,\$2,100	if (\$2 < 100) \$1 = 1; else \$1 = 0	Compare < constant; 2's complement
set on less than unsigned	sltu \$1,\$2,\$3	if (\$2 < \$3) \$1 = 1; else \$1 = 0	Compare less than; natural number
set on less than imm. unsigned	sltiu \$1,\$2,100	if (\$2 < 100) \$1 = 1; else \$1 = 0	Compare constant; natural number
jump	j 10000	go to 10000	Jump to target address
jump register	jr \$31	go to \$31	For switch, procedure return
jump and link	jal 10000	\$31 = PC + 4; go to 10000	For procedure call
add.s add.d	add.x \$f0,\$f2,\$f4	\$f0=\$f2+\$f4	Single and double precision add
sub.s sub.d	add.x \$f0,\$f2,\$f4	\$f0=\$f2-\$f4	Single and double precision subtraction
mul.s mul.d	mul.x \$f0,\$f2,\$f4	\$f0=\$f2*\$f4	Single and double precision multiplication
div.s div.d	div.x \$f0,\$f2,\$f4	\$f0=\$f2/\$f4	Single and double precision division
mov.s mov.d	mov.x \$f0,\$f2	\$f0←\$f2	Single and double precision move
abs.s abs.d	abs.x \$f0,\$f2	\$f0=ABS(\$f2)	Single and double precision absolute value
neg.s neg.d	neg.x \$f0,\$f2	\$f0= - (\$f2)	Single and double precision absolute value
c.lt.s c.lt.d (eq,ne,le,gt,ge)	c.lt.x \$f0,\$f2	Temp=(\$f0<\$f2)	Single and double: compare \$f0 and \$f2 <,<=,>,>=
mtcl (mfc1)	mtcl \$1,\$f2	\$f2=\$1	Data from gen.reg. to C1 reg. (no conversion) (and viceversa)
branch on false	bclf label	If (Temp == false) go to label	Temp is 'Condition-Code'
branch on true	bclt label	If (Temp == true) go to label	Temp is 'Condition-Code'
load floating point (32bit)	lwc1 \$f0,0(\$1)	\$f0←Memory[\$1]	
store floating point (32bit)	swc1 \$f0,0(\$1)	Memory[\$1]←\$f0	
convert single into double	cvt.d.s \$f0,\$f2	\$f0=(double)\$f2	Also cvt.s.d (viceversa)
convert single into integer	cvt.w.s \$f1,\$f0	\$f1=(int)\$f0	Also cvt.s.w (viceversa)

**Register Usage**

Name	Register Num.	Usage	Name	Register Num.	Usage	Name	Usage
\$zero	0	The constant value 0	\$v0-\$v1	2-3	Results	\$f0, \$f1, ..., \$f31	Single precision floating point registers
\$s0-\$s7	16-23	Saved	\$fp, \$sp	30,29	frame pointer, stack pointer	\$f0, \$f2, ..., \$f30	Double precision floating point registers
\$t0-\$t9	8-15,24-25	Temporaires	\$ra, \$gp	31,28	return address, global pointer		
\$a0-\$a3	4-7	Arguments	\$k0-\$k1	26,27	Kernel usage		

**System calls**

Service Name	Service Num. (\$v0)	INPUT Arguments	OUTPUT Arguments
print_int	1	\$a0=integer to print	---
print_float	2	\$f12=float to print	---
print_double	3	(\$f12,\$f13)=double to print	---
print_string	4	\$a0=address of ASCIIZ string to print	---
sbrk	9	\$a0=Number of bytes to be allocated	\$v0=pointer to the allocated memory